

PAT-NO: JP02004079745A

DOCUMENT-IDENTIFIER: JP 2004079745 A

TITLE: INTERPOSER, MANUFACTURING METHOD THEREFOR,  
ELECTRONIC  
CIRCUIT DEVICE AND MANUFACTURING METHOD  
THEREFOR

PUBN-DATE: March 11, 2004

INVENTOR-INFORMATION:

NAME

TAKAOKA, YUJI

COUNTRY

N/A

ASSIGNEE-INFORMATION:

NAME

SONY CORP

COUNTRY

N/A

APPL-NO: JP2002237396

APPL-DATE: August 16, 2002

INT-CL (IPC): H01L023/32, H01L023/12

ABSTRACT:

PROBLEM TO BE SOLVED: To provide an interposer where shorting of a bump electrode and a semiconductor substrate can be prevented, a manufacturing method of the interposer, an electronic circuit device using the interposer, and to provide a manufacturing method of the device.

SOLUTION: A rear face of a silicon substrate 10 constituting the interposer 1 retreats so that a through conductive layer 12 protrudes from the rear face. Bump electrodes 30 which are connected to the respective through conductive layers 12 and are formed of solder are formed at tips of the through conductive layers 12 protruded from the rear face. Length L that the through

conductive

layer 12 protrudes from the rear face of the silicon substrate 10 is set to be

about  $1/5$  to  $1/10$  of a diameter of the through conductive layer 12, for

example, since a contact between the silicon substrate 10 and the bump

electrode 30 due to deformation of the bump electrode 30 is prevented when a

mounted substrate is subsequently connected to the through conductive layer 12

by the bump electrode 30.

COPYRIGHT: (C)2004,JPO

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-79745

(P2004-79745A)

(43) 公開日 平成16年3月11日(2004.3.11)

(51) Int. Cl.<sup>7</sup>

H01L 23/32

H01L 23/12

F1

H01L 23/32

D

H01L 23/12 501B

テーマコード (参考)

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願2002-237396 (P2002-237396)  
 (22) 出願日 平成14年8月16日 (2002.8.16)

(71) 出願人 000002185  
 ソニー株式会社  
 東京都品川区北品川6丁目7番35号  
 100094053  
 (74) 代理人 弁理士 佐藤 隆久  
 高岡 裕二  
 (72) 発明者 高岡 裕二  
 東京都品川区北品川6丁目7番35号 ソ  
 ニー株式会社内

(54) 【発明の名称】 インターポーザおよびその製造方法、並びに電子回路装置およびその製造方法

## (57) 【要約】

【課題】 突起電極と半導体基板とのショートを防止することができるインターポーザおよびその製造方法、並びに当該インターポーザを用いた電子回路装置およびその製造方法に関する。

【解決手段】 インターポーザ1を構成するシリコン基板10の裏面は、貫通導電層12が裏面から突出するように後退しており、裏面から突出した貫通導電層12の先端には、各貫通導電層12に接続するはんだ等からなる bumps 電極30が形成されている。シリコン基板10の裏面から貫通導電層12が突出する長さLは、後に実装基板と貫通導電層12との間を bumps 電極30により接続する際に、 bumps 電極30の変形によるシリコン基板10と bumps 電極30との接触を防止するため、例えば貫通導電層12の径の1/5～1/10程度とする。

【選択図】 図2

